

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149437
 (43)Date of publication of application : 02.06.1999

(51)Int.Cl. G06F 13/16
 // G06F 13/42

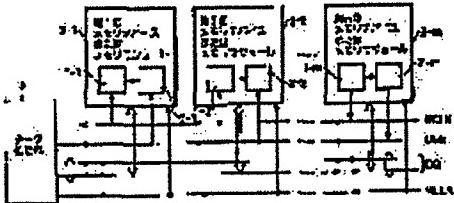
(21)Application number : 09-313927 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 14.11.1997 (72)Inventor : FUJII YASUHIRO

(54) DATA TRANSFER MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To transfer a variety of data to CU, etc., at high speed without a break by generating a data output enable signal, based on a clock which is generated by means of a memory device, etc., in a prescribed position.

SOLUTION: A plurality of memory devices 3-1 to m are provided with return clock input output means 1-1 to m for inputting/outputting a return clock RCLK which is generated, based on a main clock MCLK outputted from a data processing part 4. In this case, the clock RCLK is generated by the input/output means 1-m which is placed in the farthest position from the processing part 4 and the data output enable signal DQE is generated from the output activating means 2-1 to m of the optional devices 3-1 to m. The signal DQE is synchronized with the clock RCLK and permitted to flow toward the processing part 4. Therefore, data transfer is enabled to the processing part 4 in the same access time even when system bus length becomes long and also data transfer is executed at higher speed.



LEGAL STATUS

[Date of request for examination]	19.12.2003
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3832947
[Date of registration]	28.07.2006
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-149437

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.⁶
G 0 6 F 13/16
// G 0 6 F 13/42

識別記号
5 2 0
3 4 0

F I
G 0 6 F 13/16
13/42

5 2 0 B
3 4 0 A

審査請求・未請求 請求項の数17 OL (全23頁) ↗

(21)出願番号 特願平9-313927
(22)出願日 平成9年(1997)11月14日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 藤井 康宏
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 弁理士 石田 敏 (外3名)

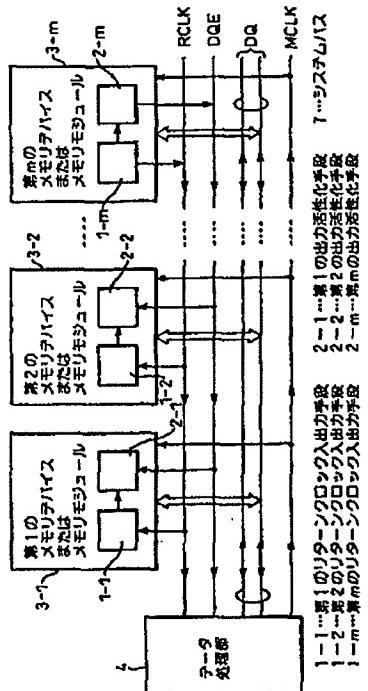
(54)【発明の名称】 データ転送メモリ装置

(57)【要約】

【課題】 システムバス上でデータを転送する機能を有する複数のメモリデバイスや、複数のメモリデバイスを含む複数のメモリモジュールを備えたデータ転送メモリ装置に関して、複数のメモリデバイスまたはメモリモジュールとCPU等との間でデータを高速で転送し、システム全体の効率を高めることを目的とする。

【解決手段】 各々のメモリデバイス、または各々のメモリモジュール内のメモリモジュール用バッファ装置、ないしはシステムバス上に設けられたコントローラチップが、CPU等のデータ処理部4から出力されるクロックをもとに生成されるリターンクロックを入出力するリターンクロック入出力手段と、リターンクロック入出力手段から出力されるリターンクロックをもとに生成されるデータ出力カネーブル信号に基づき、メモリデバイス内のデータの出力を活性化する出力活性化手段とを備える。

本発明の構成概念を示すブロック図



【特許請求の範囲】

【請求項1】 一つのシステムバス上でデータを転送する機能を有し、かつ、前記データを処理するデータ処理部により制御される複数のメモリデバイスを含むデータ転送メモリ装置において、該複数のメモリデバイスの各々は、

前記データ処理部から出力されるクロックをもとに生成されるリターンクロックを入出力するリターンクロック入出力手段と、

該リターンクロック入出力手段から出力されるリターンクロックをもとに生成されるデータ出力イネーブル信号に基づき、前記データの出力を活性化する出力活性化手段とを備えることを特徴とするデータ転送メモリ装置。

【請求項2】 前記システムバス上の所定の位置にあるメモリデバイスのみが、前記リターンクロックおよび前記データ出力イネーブル信号を生成する請求項1記載のデータ転送メモリ装置。

【請求項3】 前記所定の位置にあるメモリデバイスが、前記システムバス上で前記データ処理部から最も遠い位置にあるメモリデバイスである請求項2記載のデータ転送メモリ装置。

【請求項4】 前記所定の位置にあるメモリデバイス以外の前記メモリデバイスが、前記データ処理部により出力選択された場合、前記所定の位置にあるメモリデバイスにて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データの出力を活性化すると共に、当該リターンクロックに同期して該データを出力することが可能である請求項2記載のデータ転送メモリ装置。

【請求項5】 前記所定の位置にあるメモリデバイスが、前記データ処理部により出力選択された場合、該所定の位置にあるメモリデバイスにて生成される前記データ出力イネーブル信号によって前記データの出力を活性化すると共に、該所定の位置にあるメモリデバイスにて生成される前記リターンクロックに同期して該データを出力する請求項2記載のデータ転送メモリ装置。

【請求項6】 前記リターンクロックおよび前記データ出力イネーブル信号が、任意の位相に設定される請求項1から5のいずれか一項に記載のデータ転送メモリ装置。

【請求項7】 前記データ処理部の入力回路部と、各々の前記メモリデバイス内の前記出力活性化手段の入力回路部とが、前記データ出力イネーブル信号によって所定の時間のみ活性化される請求項1から6のいずれか一項に記載のデータ転送メモリ装置。

【請求項8】 前記リターンクロックおよび前記データ出力イネーブル信号を出力するコントローラチップを、前記システムバス上に設ける請求項1から7のいずれか一項に記載のデータ転送メモリ装置。

【請求項9】 一つのシステムバス上でデータを転送する機能を有し、かつ、前記データを処理するデータ処理部により制御される複数のメモリモジュールを含むデータ転送メモリ装置において、該複数のメモリモジュールの各々は、複数のメモリデバイスと、該複数のメモリデバイスと前記データ処理部との間で前記データおよび各種の信号を入出力するためのメモリモジュール用バッファ装置とを備えており、各々の前記メモリモジュール内の該メモリモジュール用バッファ装置は、

前記データ処理部から出力されるクロックをもとに生成されるリターンクロックを入出力するリターンクロック入出力手段と、

該リターンクロック入出力手段から出力されるリターンクロックをもとに生成されるデータ出力イネーブル信号に基づき、前記複数のメモリデバイスからの前記データの出力を活性化する出力活性化手段とを備えることを特徴とするデータ転送メモリ装置。

【請求項10】 前記システムバス上の所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置のみが、前記リターンクロックおよび前記データ出力イネーブル信号を生成する請求項9記載のデータ転送メモリ装置。

【請求項11】 前記所定の位置にあるメモリモジュールが、前記システムバス上で前記データ処理部から最も遠い位置にあるメモリモジュールである請求項10記載のデータ転送メモリ装置。

【請求項12】 前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置以外の前記メモリモジュール用バッファ装置が、前記データ処理部4により出力選択された場合、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、前記の出力選択されたメモリモジュール内の前記メモリデバイスに供給する請求項10記載のデータ転送メモリ装置。

【請求項13】 前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置以外の前記メモリモジュール用バッファ装置が、前記データ処理部4により出力選択された場合、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、前記の出力選択されたメモリモジュール内の前記メモリデバイスに供給し、

前記の出力選択されたメモリモジュール内の前記メモリデバイスは、当該メモリモジュール用バッファ装置から供給される当該データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データの出力を活性化すると共に、当該リターンクロック

クに同期して、対応するメモリモジュール用バッファ装置に該データを送出する請求項10記載のデータ転送メモリ装置。

【請求項14】前記所定の位置にあるメモリモジュールに搭載されている前記メモリデバイスが、前記データ処理部4により出力選択された場合、該所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データの出力を活性化すると共に、当該リターンクロックに同期して、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置に該データを送出することが可能である請求項10記載のデータ転送メモリ装置。

【請求項15】前記リターンクロックおよび前記データ出力イネーブル信号が、任意の位相に設定される請求項9から14のいずれか一項に記載のデータ転送メモリ装置。

【請求項16】前記データ処理部の入力回路部と、各々の前記メモリモジュール用バッファ装置の入力回路部とが、前記データ出力イネーブル信号によって所定の時間のみ活性化される請求項9から15のいずれか一項に記載のデータ転送メモリ装置。

【請求項17】前記リターンクロックおよび前記データ出力イネーブル信号を出力するコントローラチップを、前記システムバス上に設ける請求項9から16のいずれか一項に記載のデータ転送メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バスシステム内の一のシステムバス上でデータを転送する機能を有する複数のDRAM(ダイミック・ランダムアクセスメモリ)等の複数のメモリデバイスや、このようなメモリデバイスがそれぞれ搭載された複数個のメモリモジュールから構成されるデータ転送メモリ装置に関する。

【0002】一般に、バスシステムにおいては、システム全体の効率を高めるために、複数のメモリデバイスまたは複数のメモリモジュールとCPU(中央処理装置)等との間で各種のデータの入出力を高速にて行うことが要求される。本発明は、複数のメモリデバイスをシステムバス上に配置するか、または、このような複数のメモリデバイスが搭載されたメモリモジュールを複数個システムバス上に配置して形成されるデータ転送メモリ装置において、各々のメモリデバイスまたはメモリモジュールに対する入出力の対象となる各種のデータを、システムバスのバスラインを介して高速にてかつ途切れなく転送するための一手法について言及するものである。

【0003】

【従来の技術】以下、図19～図21を参照しながら、従来方式によるデータ転送メモリ装置を使用したバスシ

ステムの構成を説明する。図19は、従来の第1例に係るバスシステムの構成を示すブロック図である。ここでは、ランバス(Rambus)方式により動作する複数のランバスDRAMからなるメモリデバイス、または、このようなメモリデバイスが搭載された複数のメモリモジュールを含むバスシステムの構成を例示する。ただし、ここでは、システムバス7のデータ転送用バスライン(通常、DQラインと称する)は省略する。

【0004】図19においては、CPU等からなる一つのチップセット(チップセット#0)40と、基準信号発生器42と、第1のメモリデバイスまたはメモリモジュール～第mのメモリデバイスまたはメモリモジュール100-1、100-2、……、100-m(以下、複数のメモリデバイスまたはメモリモジュール100-1～100-mと略記する:mは任意の正の整数)とが、システムバス7のクロックラインに接続されている。このクロックラインでは、複数のメモリデバイスまたはメモリモジュール100-1～100-mからチップセット40へ向かうデータ出力用クロックラインと、チップセット40から複数のメモリデバイスまたはメモリモジュール100-1～100-mへ向かうデータ入力用クロックラインとを折り返して構成されている。

【0005】ここでは、データ出力用クロックラインを介してトランスマスクロック(Transfer Clock)T-CLKが転送されると共に、データ入力用クロックラインを介してレシーブクロック(Receive Clock)R-CLKが転送される。すなわち、この場合は、同一のクロックラインのみを使用して上記のトランスマスクロックT-CLKおよびレシーブクロックR-CLKを転送することによって、各メモリデバイスまたは各メモリモジュールへのデータ入力と各メモリデバイスまたは各メモリモジュールからのデータ出力の位相のずれをなくすようしている。このクロックライン上の信号のレベルは、電源Vtよりレベル調整抵抗Rt1を介して供給される電圧により調整される。

【0006】図19に示す従来の第1例のバスシステムでは、複数のメモリデバイスまたはメモリモジュールからチップセット40へのデータ出力は、どのランバスRAM等にアクセスしても同一タイミングになっている。ただし、システムバスのバスラインの長さを示すシステムバス長Lによる信号遅延時間tがデータ転送時間の半分以上になると、レシーブクロックR-CLKによるプロトコル入力からトランスマスクロックT-CLKによるデータ出力までの時間が不足する。このため、システムバス長Lの上限値が制限され、データ転送速度が増加して高速になるほど、システムバス長Lを短くしなければならなくなる。

【0007】また一方で、アクノリッジパケットがチップセットへ到着する時間を監視することによって、チップセットがデータの到着をあらかじめ知ることができ

る。ただし、上記アクノリッジパケットがチップセットへ到着する時間は、各々のメモリデバイスまたはメモリモジュールからの距離で決まるため、チップセットはその時間だけ待たなければならなくなる。

【0008】図20は、従来の第2例に係るバスシステムの構成を示すブロック図である。ここでは、DQストローブ(DQ Strobe)方式により動作する複数のメモリデバイス、または、このようなメモリデバイスが搭載された複数のメモリモジュールを含むバスシステムの構成を例示する。ただし、ここでも、システムバス7のDQラインは省略する。

【0009】図20において、システムバス7のバスラインは、CPU等の一つのチップセット40から、第1のメモリデバイスまたはメモリモジュール～第mのメモリデバイスまたはメモリモジュール110-1、110-2、……、110-m(以下、複数のメモリデバイスまたはメモリモジュール110-1～110-mと略記する)へ向かうメインクロックMCLKを転送するためのMCLKラインと、データ出力時に複数のメモリデバイスまたはメモリモジュール110-1～110-mの各々からデータを出力するときに発信されるDQSストローブ信号DQSを転送するためのDQSラインとを含む。上記MCLKライン上の信号のレベルは、電源Vtよりレベル調整用抵抗Rt2を介して供給される電圧により調整され、上記DQSライン上の信号のレベルは、電源Vtより他のレベル調整用抵抗Rt3を介して供給される電圧により調整される。

【0010】さらに、図20においては、チップセット40と、基準信号発生器42と、複数のメモリデバイスまたはメモリモジュール110-1～110-mとが、上記のMCLKラインおよびDQSラインに接続されている。図20に示す従来の第2例のバスシステムでは、メインクロックMCLKに同期して複数のメモリデバイスまたはメモリモジュール110-1～110-mが、入力されるデータを受け取る。また一方で、複数のメモリデバイスまたはメモリモジュールからのデータ出力時(すなわち、データ読み出し時)には、各々のメモリデバイスまたはメモリモジュールにより生成されるDQストローブ信号DQSに同期してデータが出力される。

【0011】さらに、複数のメモリデバイスまたはメモリモジュールへのデータ入力時(すなわち、データ書き込み時)にもチップセット40からDQストローブ信号用端子を制御し、このDQストローブ信号用端子を制御するタイミングに同期して複数のメモリデバイスまたはメモリモジュールが、入力されるデータを受け取る方法もある。

【0012】この方法では、システムバス長Lによる信号遅延時間τが生ずるので、メモリデバイスまたはメモリモジュールの位置により同メモリデバイスまたはメモリモジュールがデータ読み出し用のリード命令を受け取

る時間や、メモリデバイスまたはメモリモジュールから出力されるデータをチップセット40が受け取る時間がまちまちになる。この場合、チップセット40がリード命令を発行してから同チップセット40が最初にデータを受け取るまでに要するファーストアクセス・タイム(ファーストアクセス時間)は、チップセット40から制御することができないため、同チップセット40は、メモリデバイスまたはメモリモジュールから出力されるデータに応じてデータ取り込みウィンドウの位置を変えなければならなくなる。

【0013】特に、チップセット40から最も近い位置にある第1のメモリデバイスまたはメモリモジュールデバイス110-1から出力されるデータを受け取る時間と、チップセット40から最も遠い位置にある第mのメモリデバイスまたはメモリモジュールデバイス110-mから出力されるデータを受け取る時間とは大きく異なるため、チップセット40では、これらのメモリデバイスまたはメモリモジュールデバイスからデータを受け取る度に、データ取り込みウィンドウの位置をいちいち設定し直すことが必要になる。

【0014】図21は、従来の第3例に係るバスシステムの構成を示すブロック図である。ここでは、リターンクロック(Return Clock)方式により動作するような、複数のメモリデバイスがそれぞれ搭載された複数のメモリモジュールを含むバスシステムの構成を例示する。図21において、システムバス7のバスラインは、データ入力時に、チップセット40から、第1のメモリモジュール～第mのメモリモジュール120-1、120-2、……、120-m(以下、複数のメモリモジュール120-1～120-mと略記する)へ向かうメインクロックMCLKを転送するためのMCLKラインと、データ出力時に、複数のメモリモジュール120-1～120-mからチップセット40へ向かうリターンクロック(Return Clock)RCLKを転送するためのRCLKラインとを含む。上記MCLKライン上の信号のレベルは、電源Vtよりレベル調整用抵抗Rt4を介して供給される電圧により調整され、上記RCLKライン上の信号のレベルは、電源Vtより他のレベル調整用抵抗Rt5を介して供給される電圧により調整される。

【0015】図21においても、図19に示した従来の第1例と同じように、CPU等からなる一つのチップセット40と、基準信号発生器42と、複数のメモリモジュール120-1～120-mとが、システムバス7のMCLKラインやRCLKラインやHQライン等に接続されている。ただし、図21の従来の第3例のバスシステムでは、図19に示した従来の第1例と異なり、各々のメモリモジュール120-1～120-m内に、クロック位相調整用のDLL(ディレイド・ロック・ループ(Delayed Lock Loop)の略)500とバッファアンプ510とを含むモジュールバッファを設けている。さら

に、メモリモジュール内の各半導体素子を駆動するための電源Vccが、レベル調整用抵抗Rpmを介して、チップセット40から最も遠い位置にあるメモリモジュール120-mのイネーブル端子ENに接続されている。

【0016】この場合、チップセット40から転送されるメインクロックMCLKに応じて、上記メモリモジュール120-m内のモジュールバッファが、イネーブル端子ENのレベルの状態（ここでは、電源Vccによる電源電圧レベル）に基づき活性化される。このようにして活性化されたモジュールバッファは、メインクロックMCLKを受け取り、DLT510にて同メインクロックMCLKの位相補正を行う。このメインクロックMCLKは、位相補正を行った後に、リターンクロックRCLKとして、各々のメモリモジュールに搭載された複数のメモリデバイスのデータ出力用のクロックとして用いられる。すなわち、この場合は、図19に示した従来の第1例のトランファクロックT-CLKの代わりに、メモリモジュールそのものからリターンクロックRCLKを生成している。上記のリターンクロック方式では、従来の第1例のランバス方式と同様に、どのメモリモジュールにアクセスした場合でも、当該メモリモジュールから出力されるデータは、同一タイミングにてチップセット40に到達する。

【0017】しかしながら、このようなリターンクロック方式においても、システムバス長Lによる信号遅延時間がデータ転送時間の半分以上になると、従来の第1例のランバス方式と同様に、チップセット40から最も近い位置にあるメモリモジュール120-1のデータと、最も遠い位置にあるメモリモジュール120-mのデータとのアクセス時間に差が生じてくる。

【0018】

【発明が解決しようとする課題】上記のとおり、従来の第1例のバスシステムでは、システムバスのバスライン長により生ずる信号遅延時間が大きくなると、チップセットから最も遠い位置にあるメモリデバイスからデータが到達するのをチップセットにて待つ時間が長くなる。このため、高速にてデータを転送することが困難になり、システム全体の効率が低下するという問題が発生する。

【0019】さらに、従来の第2例のバスシステムでは、システムバスのバスライン長により生ずる信号遅延時間が大きくなると、メモリデバイスまたはメモリモジュールから出力されるデータをチップセットが受け取る時間がまちまちになる。このため、メモリデバイスまたはメモリモジュールのチップセットに対する相対的な位置に応じてチップセット内のデータ取り込みウインドウの位置を変えなければならなくなるので、システム全体の効率が低下するという問題が発生する。

【0020】さらにまた、従来の第3例のバスシステムでは、システムバスのバスライン長により生ずる信号遅

延時間がデータ転送時間の半分以上になると、従来の第1例の場合と同様に、チップセットから最も近い位置のメモリモジュールのデータが同チップセットに到達するまでの時間と、最も遠い位置のメモリモジュールのデータが同チップセットに到達するまでの時間との間に差が生じてくる。このため、従来の第1例の場合と同様に、高速にてデータを転送することが困難になり、システム全体の効率が低下するという問題が発生する。

【0021】本発明は上記問題点に鑑みてなされたものであり、複数のメモリデバイスまたは複数のメモリモジュールとCPU等との間で各種のデータを高速にてかつ途切れなく転送し、システム全体の効率を高めることが可能なデータ転送メモリ装置を提供することを目的とするものである。

【0022】

【課題を解決するための手段】図1は、本発明の原理構成を示すブロック図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号をして表すこととする。図1に示すように、本発明のデータ転送メモリ装置は、一つのシステムバス7上でデータを転送する機能を有し、かつ、上記データを処理するCPU等のデータ処理部4により制御される複数のメモリデバイスを含む。あるいは、複数のメモリデバイスの代わりに、複数のメモリデバイスがそれぞれ搭載された複数のメモリモジュールを含む。ここでは、本発明の原理構成図を簡単化するために、上記のような複数のメモリデバイス、または後述の複数のメモリモジュールを、第1のメモリデバイスまたはメモリモジュール3-1～第mのメモリデバイスまたはメモリモジュール3-m（mは任意の正の整数）のようにまとめて表すこととする。

【0023】上記問題点を解決するために、図1に示すような複数のメモリデバイスを含む本発明のデータ転送装置においては、上記複数のメモリデバイス（第1～第mのメモリデバイス3-1～3-m）の各々は、上記データ処理部4から出力されるクロック（例えば、メインクロックMCLK）をもとに生成されるリターンクロックRCLKを入出力するリターンクロック入出力手段（第1～第mのリターンクロック入出力手段1-1～1-m）と、これらのリターンクロック入出力手段から出力されるリターンクロックRCLKをもとに生成されるデータ出力イネーブル信号DQEに基づき、上記データの出力を活性化する出力活性化手段（第1～第mの出力活性化手段2-1～2-m）とを備える。

【0024】好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、システムバス7上の所定の位置にあるメモリデバイスのみが、上記リターンクロックRCLKおよび上記データ出力イネーブル信号DQEを生成するようになっている。さらに、好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリデバイス

が、システムバス7上で上記データ処理部4から最も遠い位置にあるメモリデバイス（図1では、第mのメモリデバイス3-m）になっている。

【0025】さらに、好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリデバイス以外の複数のメモリデバイス3-1～3-m-1が、データ処理部4により出力選択された場合、それぞれ、上記所定の位置にあるメモリデバイスにて生成される上記リターンクロックRCLKおよび上記データ出力イネーブル信号DQEを入力として受け取り、当該データ出力イネーブル信号DQEによって上記データの出力を活性化すると共に、当該リターンクロックRCLKに同期して上記データを出力するようになっている。

【0026】さらに、好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリデバイス（例えば、第mのメモリデバイス3-m）が、データ処理部4により出力選択された場合、上記所定の位置にあるメモリデバイス（すなわち、自分自身のメモリデバイス）にて生成されるデータ出力イネーブル信号DQEによって上記データの出力を活性化すると共に、上記所定の位置にあるメモリデバイスにて生成されるリターンクロックRCLKに同期して該データを出力することも可能になっている。

【0027】さらに、好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、上記リターンクロックRCLKおよび上記データ出力イネーブル信号DQEが、任意の位相に設定されるようになっている。このようなリターンクロックRCLKおよびデータ出力イネーブル信号DQEの位相調整は、メモリデバイス内に設けられたDLL等により行われる。

【0028】さらに、好ましくは、複数のメモリデバイスを含む本発明のデータ転送装置においては、上記データ処理部4の入力回路部と、各々のメモリデバイス内の出力活性化手段の入力回路部とが、上記データ出力イネーブル信号DQEによって所定の時間のみ活性化されるようになっている。また一方で、図1に示すような複数のメモリモジュールを含む本発明のデータ転送装置においては、上記複数のメモリモジュール（第1～第mのメモリモジュール3-1～3-m）の各々は、複数のメモリデバイスと、これらの複数のメモリデバイスと上記データ処理部4との間で上記データおよび各種の信号を出入力するためのメモリモジュール用バッファ装置とを備えている。

【0029】さらに、このメモリモジュール用バッファ装置は、上記データ処理部4から出力されるクロック（例えば、メインクロックMCLK）をもとに生成されるリターンクロックRCLKを入出力するリターンクロック入出力手段（第1～第mのリターンクロック入出力手段1-1～1-m）と、これらのリターンクロック入

出力手段から出力されるリターンクロックRCLKをもとに生成されるデータ出力イネーブル信号DQEに基づき、上記データの出力を活性化する出力活性化手段（第1～第mの出力活性化手段2-1～2-m）とを備える。

【0030】好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記システムバス7上の所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置のみが、上記リターンクロックRCLKおよび上記データ出力イネーブル信号DQEを生成するようになっている。さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリモジュールが、上記システムバス7上で上記データ処理部4から最も遠い位置にあるメモリモジュール（図1では、第mのメモリモジュール3-m）になっている。

【0031】さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリモジュール用バッファ装置以外のメモリモジュール用バッファ装置が、データ処理部4により出力選択された場合、上記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成されるリターンクロックRCLKおよび上記データ出力イネーブル信号DQEを入力として受け取り、上記の出力選択されたメモリモジュール内のメモリデバイスに供給するようになっている。

【0032】さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリモジュール以外のメモリモジュール内のメモリデバイスが、データ処理部4により出力選択された場合、上記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置から供給されるデータ出力イネーブル信号DQEを入力として受け取り、当該データ出力イネーブル信号DQEによって上記データの出力を活性化すると共に、当該リターンクロックRCLKに同期して、対応するメモリモジュール用バッファ装置に上記データを送出するようになっている。

【0033】さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記所定の位置にあるメモリモジュールに搭載されているメモリデバイスが、データ処理部4により出力選択された場合、上記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置（すなわち、自分自身のメモリモジュール用バッファ装置）にて生成されるリターンクロックRCLKおよびデータ出力イネーブル信号DQEを入力として受け取り、当該データ出力イネーブル信号DQEによって上記データの出力を活性化すると共に、当該リターンクロックRCLKに同期して、上記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置に上記データを送出することも可能にな

っている。

【0034】さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記リターンクロックRCLKおよび上記データ出力イネーブル信号DQEが、任意の位相に設定されるようになっている。このようなリターンクロックRCLKおよびデータ出力イネーブル信号DQEの位相調整は、メモリモジュール用バッファ装置内に設けられたDLI等により行われる。

【0035】さらに、好ましくは、複数のメモリモジュールを含む本発明のデータ転送装置においては、上記データ処理部4の入力回路部と、各々のメモリモジュール用バッファ装置の入力回路部とが、上記データ出力イネーブル信号DQEによって所定の時間のみ活性化されるようになっている。複数のメモリデバイスまたは複数のメモリモジュールを含む本発明のデータ転送装置によれば、CPU等のデータ処理部4から最も遠い位置にあるメモリデバイスまたはメモリモジュール（例えば、第mのメモリデバイスまたはメモリモジュール）からリターンクロックRCLKを生成すると共に、このリターンクロックRCLKに基づき任意のメモリデバイスまたはメモリモジュールの出力回路部を活性化するデータ出力イネーブル信号DQEを生成する。このデータ出力イネーブル信号DQEは、リターンクロックRCLKに同期し、このリターンクロックRCLKと同一方向に（すなわち、データ処理部4に向かって）流れる。このために、システムバス長がどのように長くなても、かつ、データ転送時間が信号遅延時間tの半分以下になる程度であっても、システムバス7上の任意のメモリデバイスまたはメモリモジュールから、CPU等のデータ処理部4に対し同一アクセス時間でデータを転送することができる。

【0036】特に、ギガバイト(GB)～テラバイト(TB)といったような大規模なバスシステムを構築した場合に、このようなバスシステムにおけるデータ転送速度は最高速度を維持することができる。上記のような大規模なバスシステムを構築した際の不都合な点（ペナルティ）は、ファーストデータ(CPU等のデータ処理部4がリード命令を発行してから同データ処理部4が一番最初に受け取るデータ）に対するアクセス時間の遅れだけが済む。しかも、このようなファーストデータに対するアクセス時間の遅れは、各メモリデバイスまたは各メモリモジュールで同一化することができるので、データ処理部4にとってデータ処理が容易に行える。さらに、リターンクロックRCLKは、レジスタ等を適切に設定することにより、データ処理部4において同データ処理部から生成されるメインクロックMCLKと同相にすることができるので、システム全体の効率が向上する。

【0037】かくして、本発明では、複数のメモリデバ

イスまたは複数のメモリモジュールとCPU等との間で各種のデータを高速にてかつ途切れなく転送することができる、バスシステムにおけるデータ転送速度として最高速度が維持されると共に、システム全体の効率を高めることが可能になる。

【0038】

【発明の実施の形態】以下、添付図面（図2～図17）を参照しながら本発明の好ましい実施例を説明することとする。図2は、本発明の一実施例に係るバスシステムの構成を示すブロック図であり、図3は、本発明の一実施例に使用されるメモリデバイスの一例を示す図であり、図4は、本発明の一実施例に使用されるメモリモジュール用バッファ装置の一例を示すブロック図であり、図5は、図4のメモリモジュールに使用されるメモリデバイスの一例を示すブロック図である。

【0039】図2～図4に示す本発明の一実施例は、基本的に、前述したような従来の第3例のリターンクロック方式によるバスシステム（図21参照）の欠点を補うために考案されたバスシステムである。このような本発明の一実施例は、複数のメモリデバイスが搭載されたメモリモジュールだけでなく、メモリデバイス単体にも適用することができる。

【0040】図2において、システムバス7のバスラインは、データ入力時に、データ処理部4（図1）を構成するCPU等のチップセット（チップセット#0）40から、-1番目のメモリデバイスまたはメモリモジュール～第mのメモリデバイスまたはメモリモジュール3-1r、3-1、3-2、……、3-m（以下、複数のメモリデバイスまたはメモリモジュール3-1r～3-mと略記する）へメインクロックMCLKを転送するためのMCLKラインと、データ出力時に、複数のメモリモジュール3-1r～3-mからチップセット40へ向かうリターンクロックRCLKを転送するためのRCLKラインとを含む。なお、ここでは、チップセット40からあらゆる方向にシステムバス7が伸びており、このようなシステムバス7上に複数のメモリデバイスまたは複数のメモリモジュールを配置することができることを示すために、-1番目のメモリデバイス3-1rを図示することとする。

【0041】さらに、ここでは、複数のメモリデバイスまたはメモリモジュール3-1r～3-mでの位相ずれを考慮して、これらのメモリデバイスまたはメモリモジュールに入力されるメインクロックを、それぞれMCLK-1～MCLKmにより表すこととする。さらに、チップセット40から最も遠い位置にある第mのメモリデバイスまたはメモリモジュール3-mからリターンクロックRCLKmが生成されてRCLKラインに出力されるものとする。なお、チップセット40に到達するタイミングのメインクロックをMCLK0により表すと共に、同チップセット40に到達するタイミングのリター

ンクロックをRCLK0により表すこととする。さらにまた、システムバス7のバスラインは、チップセット40と複数のメモリデバイスまたはメモリモジュール3-1～3-mとの間でデータを転送するためのDQラインを含む。このDQライン上の複数のメモリデバイスまたはメモリモジュールのデータ入出力に対する位相ずれを考慮して、これらのメモリデバイスまたはメモリモジュールのデータに関連するデータ入出力信号を、それぞれDQ1～DQmにより表すこととする。さらに、チップセット40に到達するタイミングのデータに関連するデータ入出力信号を、DQ0により表すこととする。

【0042】図2においては、図21に示した従来の第3例と同じように、CPU等からなる一つのチップセット40と、基準信号発生器42と、複数のメモリデバイスまたはメモリモジュール3-1r～3-m(図20の複数のメモリモジュールにほぼ対応する)とが、システムバス7のMCLKラインやRCLKラインやDQライン等に接続されている。

【0043】本発明の一実施例にて使用される複数のメモリデバイスが、システムバス7に直接接続されている場合、好ましくは、これらのメモリデバイスの各々は、図3に示すようなメモリデバイス30により構成される。このメモリデバイス30は、本発明のリターンクロック入出力手段(図1参照)として、チップセット40から出力されるメインクロックMCLKをもとに生成されるリターンクロックRCLKを入出力するリターンクロック入出力回路(図3では、第kのリターンクロック入出力回路として示す、ここで、kは任意の正の整数:1≤k≤m)10-kを設けている。さらに、本発明の出力活性化手段(図1参照)として、上記リターンクロックRCLKをもとに生成される負論理のデータ出カイネーブル信号/DQE(このデータ出カイネーブル信号は、出力活性化信号ともよばれる)に基づきデータの出力を活性化する出力活性化回路(図3では、第kの出力活性化回路として示す)20-kを設けている。

【0044】さらに、図3に示すメモリデバイス30には、イネーブル信号をメモリデバイスに供給するためのイネーブル端子ENが設けられている。このイネーブル端子ENは、レベル調整用抵抗Rp1～Rp mを介して、各々のメモリデバイス(またはメモリモジュール)内の各半導体素子を駆動するための高電位の電源Vccに接続されるか、または、低電位(例えば、アースレベル)の他の電源Vssに直接接続されている。この場合、上記イネーブル信号は、データ読み出しの際に、リターンクロックRCLKおよびデータ出カイネーブル信号(すなわち、出力活性化信号)/DQEをどのメモリデバイス(またはメモリモジュール)から送出するかを決定するために使用される。

【0045】ここで、再び図2に戻り、複数のメモリデバイスにおけるリターンクロックRCLKとデータ出力

イネーブル信号/DQEの入出力の関係を説明する。図2においては、チップセット40から最も遠い位置にある第mのメモリデバイス3-mのイネーブル端子ENのみが、レベル調整用抵抗Rp mを介して特定の高電位の電源Vccに接続されており、この第mのメモリデバイス3-m以外のメモリデバイスの各々は、低電位の他の電源Vssに直接接続されている。すなわち、チップセット40から最も遠い位置にある第mのメモリデバイス3-mのイネーブル端子ENのみが“H(High)”レベルに設定され、その他のメモリデバイスのイネーブル端子ENは“L(Low)”レベルに設定されている。この場合、チップセット40から最も遠い位置にある第mのメモリデバイス3-mが“H”レベルのイネーブル端子ENにより選択された状態になり、上記のチップセット40から最も遠い位置にある第mのメモリデバイス3-mのみから、リターンクロックRCLK(すなわち、リターンクロックRCLKm)が生成されると共に、負論理のデータ出カイネーブル信号/DQE(すなわち、データ出カイネーブル信号/DQEm)が生成され、システムバス7上のRCLKラインに送出される。

【0046】さらに、チップセット40から最も遠い位置にある第mのメモリデバイス3-m以外のメモリデバイスの各々においては、前述したように、イネーブル端子ENが低電位の電源Vssに接続され、“L”レベルに設定されている。この状態で、第mのメモリデバイス3-m以外のメモリデバイスの各々は、上記第mのメモリデバイス3-mから送出されるリターンクロックRCLKおよびデータ出カイネーブル信号/DQEmを入力として取り込む。さらに、チップセレクト信号/CS等によりチップセット40から選択されたメモリデバイスが自分であれば、当該メモリデバイスは、上記データ出カイネーブル信号/DQEmに基づき上記メモリデバイス内の出力回路部を活性化し、アドレス信号に対応する番地に記憶されているデータ(メモリデータ)を、上記のリターンクロックRCLKmに同期してシステムバス上のDQラインに出力する。

【0047】この場合、注意しなければならない点は、上記のリターンクロックRCLKmおよびデータ出カイネーブル信号/DQEmを出力しているメモリデバイスでも、チップセット40から選択されたときには、自分自身が生成したリターンクロックRCLKmおよびデータ出カイネーブル信号/DQEmを用い、これらの信号に同期してメモリデータを出力することである。換言すれば、チップセット40から選択されたメモリデバイスが第mのメモリデバイス3-m自身である場合、この第mのメモリデバイス3-mは、上記のリターンクロックRCLKmおよびデータ出カイネーブル信号/DQEmを入力として受け取り、データ出カイネーブル信号/DQEmに基づき第mのメモリデバイス3-mの出力回路部を活性化し、リターンクロックRCLKに同期してデ

ータを出力する。このデータ出力イネーブル信号/DQEMは、リターンクロックRCLKmに同期し、このリターンクロックRCLKmと同一方向に流れる。すなわち、データ出力イネーブル信号/DQEMは、データ処理部4に向かって流れる。なお、チップセット40に到達するタイミングのクロックRCLK0の位相は、上記メインクロックMCLK0と位相を一致させることも可能である。

【0048】複数のメモリモジュールを使用してバスシステムを構成する場合にも、前述の複数のメモリデバイスの場合と同様なことがいえる。本発明の一実施例にて使用される複数のメモリモジュールにおいては、モジュール形式の複数のメモリデバイス30'ー1~30'ーm(図4では、第1のメモリデバイス30'ー1ー第mのメモリデバイス30'ーmとして図示する)が、メモリモジュール用バッファ装置を介してシステムバス7に接続されている場合、好ましくは、これらのメモリモジュールの各々は、図4に示すようなメモリモジュール35により構成される。このメモリモジュール35は、複数のメモリデバイス30'ー1~30'ーm(図4では、第1のメモリデバイス30'ー1ー第mのメモリデバイス30'ーmとして図示する)と、これらの複数のメモリデバイスとチップセット40との間で、メモリデータに関するデータ入出力信号DQや、アドレス制御用のメインクロックMCLKや、リターンクロックRCLKや、負論理のデータ出力イネーブル信号/DQEM等を入出力するためのメモリモジュール用バッファ装置として機能するメモリモジュール用バッファ回路5(図4の斜線部)とを備えている。

【0049】さらに、このメモリモジュール用バッファ回路5の入出力回路部は、好ましくは、チップセット40から出力されるアドレス制御用のメインクロックMCLKをもとに生成されるリターンクロックRCLKを入出力するリターンクロック入出力回路部(図4には図示されていない)と、これらのリターンクロック入出力回路部から出力されるリターンクロックRCLKをもとに生成されるデータ出力イネーブル信号/DQEMに基づき、メモリモジュール内のメモリデバイスのデータの出力を活性化するための出力活性化信号発生回路部(図4には図示されていない)とを有する。

【0050】さらに、図4に示すメモリモジュール35には、イネーブル信号をメモリモジュール用バッファ回路5に供給するためのイネーブル端子EN(例えば、第mのメモリモジュールに設けられたENm)が設けられている。このイネーブル端子ENは、レベル調整用抵抗Rp1~Rp4を介して、高電位の電源Vccに接続されるか、または、低電位(例えば、アースレベル)の他の電源Vssに直接接続されている。この場合、上記イネーブル信号は、データ読み出しの際に、リターンクロックRCLKおよびデータ出力イネーブル信号(すなわち、出

力活性化信号)/DQEMなどのメモリモジュールから送出するかを決定するために使用される。

【0051】ここで、再び図2に戻り、複数のメモリモジュール内のメモリモジュール用バッファ装置におけるリターンクロックRCLKとデータ出力イネーブル信号/DQEMの入出力の関係を説明する。図2においては、チップセット40から最も遠い位置にある第mのメモリモジュールのイネーブル端子EN(ENm)のみが、レベル調整用抵抗Rp4を介して特定の高電位の電源Vccに接続されて“H”レベルに設定され、この第mのメモリモジュール以外のメモリモジュールの各々は、低電位の他の電源Vssに直接接続されて“L”レベルに設定される。この場合、チップセット40から最も遠い位置にある第mのメモリモジュールが“H”レベルのイネーブル端子ENにより選択された状態になり、チップセット40から最も遠い位置にある第mのメモリモジュール内のメモリモジュール用バッファ装置から、リターンクロックRCLK(すなわち、リターンクロックRCLKm)が生成されると共に、負論理のデータ出力イネーブル信号/DQEM(すなわち、データ出力イネーブル信号/DQEMm)が生成され、システムバス7上のRCLKラインに送出される。すなわち、メモリモジュール内のメモリモジュール用バッファ装置においても、メインクロックMCLKからリターンクロックRCLKとデータ出力イネーブル信号/DQEMを生成するメモリモジュール用バッファ装置は、一つのシステムバス上でイネーブル端子ENにより選択されている一つのメモリモジュール用バッファ装置のみである。

【0052】さらに、図2においては、チップセット40から最も遠い位置にある第mのメモリモジュール内のメモリモジュール用バッファ回路以外のメモリモジュール用バッファ装置の各々は、上記リターンクロックRCLKmおよびデータ出力イネーブル信号/DQEMmを入力として受け取り、ローカルのリターンクロックRCLKL(Lはローカルの意味)を生成すると共に、このリターンクロックRCLKLに基づき各々のメモリデバイス30'ー1~30'ーmの出力回路部を活性化する負論理のローカルのデータ出力イネーブル信号/DQEL(Lは同じくローカルの意味)を生成する。このデータ出力イネーブル信号/DQELは、リターンクロックRCLKLに同期し、このリターンクロックRCLKLと同一方向に流れる。すなわち、データ出力イネーブル信号/DQELは、メモリモジュール内の各々のメモリデバイスに向かって流れる。

【0053】ただし、上記のようなモジュール形式の構成においては、他のメモリモジュールに設けられたメモリモジュール用バッファ回路は、リターンクロックRCLKとデータ出力イネーブル信号/DQEMを取り込むだけではなく、メモリモジュール内の各々のメモリデバイスに対してこれらの信号を伝える機能を有する。それ

ゆえに、メモリモジュール内でリターンクロック RCLK およびデータ出力カイネーブル信号/DQEM をそれぞれバッファリングして得られるローカルのリターンクロック RCLKL およびデータ出力カイネーブル信号/DQEL が、メモリモジュール用バッファ回路から出力信号として出力される。必要があれば、メインクロック MCLK やデータ入出力信号 DQ も、メモリモジュール用バッファ回路にてバッファリングした後に、ローカルのメインクロック MCLKL (L は同じくローカルの意味) やデータ入出力信号 DQL (L は同じくローカルの意味) として出力することも可能である。

【0054】本発明の一実施例に使用されるメモリモジュールが上記のような構成になっているために、このメモリモジュールに用いられるモジュール形式のメモリデバイスは全て、出力信号であるローカルのリターンクロック RCLKL およびデータ出力カイネーブル信号/DQEL を受け取るための入力回路部しか必要としない。さらに、当然のことながら、リターンクロックとデータ出力カイネーブル信号の発生源を示すイネーブル端子 EN も必要としない。このようなメモリモジュール内の各々のメモリデバイス 30' の一構成例を図5に示す。

【0055】図5においては、メモリモジュール内の各々のメモリデバイス 30' は、ローカルのリターンクロック RCLKL を入力として受け取るリターンクロック入力回路 (図5では、第 k のリターンクロック入力回路として示す、ここで、k は任意の正の整数: 1 ≤ k ≤ m) 10' - k と、上記ローカルのリターンクロック RCLKL をもとに生成されるローカルのデータ出力カイネーブル信号/DQEL (このデータ出力カイネーブル信号は、出力活性化信号ともよばれる) に基づきデータの出力を活性化する出力活性化回路 (図5では、第 k の出力活性化回路として示す) 20' - k を備えている。

【0056】さらに、図2、図4および図5においては、チップセット 40 から最も遠い位置にあるメモリモジュール用バッファ回路以外のメモリモジュール用バッファ回路の各々は、上記チップセット 40 から最も遠い位置にあるメモリモジュール用バッファ回路から供給されるデータ出力カイネーブル信号/DQEMm を入力として受け取り、当該データ出力カイネーブル信号/DQEMm をもとに作成したローカルのデータ出力カイネーブル信号/DQEL によってモジュール内のメモリデバイス中、選択されたメモリデバイスのデータの出力を活性化すると共に、ローカルのリターンクロック RCLKL に同期して対応するメモリモジュール用バッファ回路に上記データを送出する。

【0057】さらに、図2、図4および図5においては、チップセット 40 から最も遠い位置にあるメモリモジュール内の複数のメモリデバイス 30' - 1 ~ 30' - m の各々は、同メモリモジュールがチップセット 40 から選択された場合、当該メモリモジュール内のメモリ

モジュール用バッファ回路にて生成されるローカルのリターンクロック RCLKL およびデータ出力カイネーブル信号/DQEL を入力として受け取り、このデータ出力カイネーブル信号/DQEL によってデータの出力を活性化すると共に、上記リターンクロック RCLKL に同期して上記データを上記メモリモジュール用バッファ回路に送出する。

【0058】さらに、図2、図4および図5においては、チップセット 40 から最も遠い位置にあるメモリモジュール内の複数のメモリデバイス 30' - 1 ~ 30' - m の各々は、このメモリモジュールが選択された場合、当該メモリモジュール内のメモリモジュール用バッファ回路にて生成されるリターンクロック RCLKL およびデータ出力カイネーブル信号/DQEL を入力として受け取り、当該データ出力カイネーブル信号/DQEL によってデータの出力を活性化すると共に、リターンクロック RCLKL に同期して上記データを上記メモリモジュール用バッファ装置に送出する。

【0059】換言すれば、上記のようなモジュール形式の構成においても、リターンクロック RCLK およびデータ出力カイネーブル信号/DQEM を出力しているメモリモジュール内のメモリモジュール用バッファ回路 (例えば、チップセット 40 から最も遠い位置にある第 m のメモリモジュール内のメモリモジュール用バッファ回路) は、同メモリモジュール内のメモリモジュール用バッファ回路に対してもリターンクロック RCLK とデータ出力カイネーブル信号/DQEM を出力することができる。それゆえに、上記リターンクロック RCLK およびデータ出力カイネーブル信号/DQEM を出力しているメモリモジュール内のメモリデバイスでも、チップセット 40 から選択されたときには、他のメモリモジュールと同じタイミングでメモリデータを出力することが可能である。

【0060】図2～図5の本発明の一実施例に使用されるデータ転送メモリ装置が、複数のメモリデバイスにより構成される場合、および、複数のモジュール形式のメモリデバイスを含む複数のメモリモジュールにより構成される場合のいずれにおいても、データ出力カイネーブル信号/DQE または/DQEM は、リターンクロック RCLK と同一方向に流れるので、システムバス長しがどのように長くなても、システムバス 7 上の任意のメモリデバイスまたはメモリモジュールから、チップセット 40 に対し同一アクセス時間でデータを転送することができる。

【0061】さらに、図2～図5に示した本発明の一実施例においては、リターンクロック RCLK 、およびデータ出力カイネーブル信号/DQE または/DQEM は、メモリデバイス、またはメモリモジュール内のメモリモジュール用バッファ回路に設けられた DLL 等により、任意の位相に設定することができる。さらに、図2～図

5に示した本発明の一実施例においては、上記チップセット40の入力回路部と、各々のメモリデバイスまたはメモリモジュール内部の出力活性化回路の入力回路部とが、上記データ出力イネーブル信号／DQEまたは／DQEMによって所定の時間のみ活性化されるようになっている。それゆえに、チップセット40や、各々のメモリデバイスまたはメモリモジュールの出力活性化回路の消費電力が節減される。

【0062】図6および図7は、本発明の一実施例において、第1の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャートのその1およびその2である。ここでは、図6および図7のタイミングチャートを参照しながら、あるメモリデバイスまたはメモリモジュールのデータの読み出しを行った後に、他のメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合（ギャップレス・リード（Gapless Read）、すなわち、インターリーブ（Interleave）動作を実行する場合）の本発明の一実施例の動作を説明する。

【0063】ただし、この場合、クロック周波数400MHzにて動作するDDR SDRAM (Double Data Rate Synchronous DRAM) からなるメモリデバイスまたはメモリモジュールが、キャス・レイテンシーCL (Column Access Strobe Signal Latency の略) = 3、読み出されるデータのビット長BL = 4ビット、および2×ルールの条件下で動作する場合を想定する。ここで、キャス・レイテンシーCLは、メモリデバイスが活性化された状態（アクティブ状態）のときに、CPU等によりリード命令が発行されてから何クロックサイクル目にデータ出力イネーブル信号が出力されるかを示すものである。例えば、CL = 3の場合には、データ読み出し命令が発行されてから3クロックサイクル目にデータ出力イネーブル信号が出力されることになる。さらに、クロック周波数の逆数を示すクロックレートtCLK = 5ns (nsは10⁻⁹秒)、データ転送速度が2.5ns、位相ずれ時間tAC = tOH ≈ 1.25ns、システムバス長L = 30cm、および、伝播遅延時間τ = 3nsであると仮定する。

【0064】さらに、ここでは、チップセットから最も近い位置にあるメモリデバイスまたはメモリモジュールのデータの読み出しを行った後に、同じ位置のメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合の各々の信号波形と、チップセットから最も遠い位置にあるメモリデバイスまたはメモリモジュールのデータの読み出しを行った後に、最も近い位置にあるメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合の各々の信号波形とを比較することとする。

【0065】本発明の一実施例では、図6の(a)部に

示すように、チップセットにより生成されたメインクロックMCLK0は、MCLKラインを介して、上記チップセットから最も遠い位置にあるメモリデバイスまたはメモリモジュールに入力される。さらに、図6の(b)部および(c)部に示すように、チップセットから最も遠い位置にあるメモリデバイスまたはメモリモジュールに入力されたメインクロックMCLKmの位相は、DL等を用いて任意の値に調整された後に、リターンクロックRCLKmとして出力される。これと平行してリターンクロックRCLKmから派生させたデータ出力イネーブル信号（すなわち、出力活性化信号）／DQE_m（または／DQEM_m）が出力される（図6の(d)部）。

【0066】メモリデバイスを対象とする場合、このデータ出力イネーブル信号／DQE_mは、システムバスを介して全てのメモリデバイスに入力され、同メモリデバイス内の内部信号としてデータ出力イネーブル信号／DQE_{1m}が生成される（図6の(e)部）。さらに、リターンクロックRCLKmおよびデータ出力イネーブル信号／DQE_{1m}に同期して、チップセットからのリード命令（RD_m）により選択されたメモリデバイス（すなわち、チップセットから最も遠い位置にある第mのメモリデバイス）からデータ（Q_{0-m}～Q_{3-m}）が出力される（図6の(f)部）。次に、チップセットからのさらなるリード命令（RD1'）により、他のメモリデバイス、例えば、チップセットから最も近い位置にあるメモリデバイス（第1のメモリデバイス）が、ギャップレス・リード動作を実行すべき出力デバイスとして選択された場合、データ出力イネーブル信号／DQE_{m'}（データ出力イネーブル信号／DQE_mに対応する）に同期してデータ出力イネーブル信号／DQE_{1m'}（ただし、m=1）が生成される（図7の(h)部および(i)部）。

【0067】さらに、モノマルチパイプレータ（ワンショット）等により、選択されたメモリデバイス（第1のメモリデバイス）のデータ出力イネーブル信号／DQE_{1m'}（ただし、m=1）を1クロック期間だけ“L”レベルにし、その他の非選択メモリデバイスのデータ出力イネーブル信号を“H”レベルにする。ここでは、選択されたメモリデバイス（第1のメモリデバイス）のみデータ出力イネーブル信号／DQE_{1m'}にて出力回路部が活性化され、リターンクロックRCLK（RCLK_m）に同期して（図7の(g)部）、以前のデータ（Q_{0-m}～Q_{3-m}）の後に今回のデータ（Q_{0-1'}～Q_{3-1'}）が連続して出力される（RD_m-RD1モード、図7の(i)部）。この場合、リターンクロックRCLKの転送インピーダンスと、データ出力イネーブル信号／DQEおよびデータ入出力信号DQの転送インピーダンスとを一致させることにより、チップセットからは、どのメモリデバイスにアクセスをかけた場合でも、

リード命令発行から一定時間（ここでは、アクセス時間（アクセス・タイム） $t_{CAC} = 21 \text{ ns}$ ($CL \times t_C + 2\tau = 3 \times 5 \text{ ns} + 2 \times 3 \text{ ns}$))でファーストデータを受け取ることができる。それゆえに、このファーストデータをチップセットにて受け取った後は、同チップセットは高速にてかつ途切れなくデータを受け取ることが可能になる。

【0068】さらにまた、チップセットから最も近い位置にあるメモリデバイスのデータの読み出しを行った後に、同じ位置のメモリデバイスのデータの読み出しを連続して行う場合も、リード命令発行から一定時間（アクセス時間 $t_{CAC} = 21 \text{ ns}$ ）でファーストデータを受け取ることができる（図7の（j）部および（k）部）。この場合、リターンクロック $RCLK$ に同期して、以前のデータ（ $Q_0-1 \sim Q_3-1$ ）の後に、同じメモリデバイス内のデータ（ $Q_0-1' \sim Q_3-1'$ ）が連続して出力されることになる（ $RD_1 - RD_1'$ モード）。

【0069】また一方で、メモリモジュールを対象とする場合、上記データ出力イネーブル信号／ DQE_{EMm} は、システムバスを介して全てのメモリモジュール内のメモリモジュール用バッファ装置に入力され、同メモリモジュール内の複数のメモリデバイス内の内部信号としてローカルのデータ出力イネーブル信号／ $DQEL_m$ が生成される（図6の（e）部）。さらに、リターンクロック $RCLK_m$ およびデータ出力イネーブル信号／ $DQEL_m$ に同期して、チップセットからのリード命令（ RD_m ）により選択されたメモリモジュール、すなわち、チップセットから最も遠い位置にある第 m のメモリモジュール）からデータ（ $Q_0-m \sim Q_3-m$ ）が出力される（図6の（f）部）。次に、チップセットからのさらなるリード命令（ RD_1' ）により、他のメモリモジュール、例えば、チップセットから最も近い位置にあるメモリモジュール（第1のメモリモジュール）が、ギャップレス・リード動作を実行すべき出力モジュールとして選択された場合、データ出力イネーブル信号／ $DQEM_m'$ （データ出力イネーブル信号／ $DQEM_m$ に対応する）に同期してデータ出力イネーブル信号／ $DQEL_m'$ （ただし、 $m=1$ ）が生成される（図7の（h）部および（i）部）。

【0070】チップセットから最も近い位置にあるメモリモジュールが選択されてデータ出力イネーブル信号／ $DQEL_m'$ が生成された後の動作は、前述のメモリデバイスを対象とした場合の動作（図7の（j）部～（k）部）と実質的に同じなので、ここでは、その詳細な説明を省略する。図8および図9は、本発明の一実施例において、第2の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャートのその1およびその2である。

【0071】ここでは、前述の図6および図7の場合と同様に、あるデバイスまたはメモリモジュールのデータの読み出しを行った後に、他のメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合の各々の信号波形が示されている。この場合、モノマルチバイブレータ等により、選択されたメモリデバイスまたはメモリモジュールのデータ出力イネーブル信号／ $DQEIm$ 、／ $DQEIm'$ 、／ $DQELm'$ または／ $DQELm$ を1クロック期間だけ活性化する（“L”レベルにする）代わりに、データが出力されている期間中、上記のデータ出力イネーブル信号を活性化するようしている点が、前述の図6および図7の場合と異なる（図8の（e）部、および図9の（i）部）。

【0072】その他の条件、およびバスシステムの動作は、前述の図6および図7の場合と実質的に同じなので、ここでは、その詳細な説明を省略する。図10および図11は、本発明の一実施例において、第3の条件により異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャートのその1およびその2である。

【0073】ここでは、あるメモリデバイスのデータの読み出しを行っている最中に、リード・インタラプト（Read Interrupt）動作により、他のメモリデバイスのデータの読み出しを行う場合の各々の信号波形が示されている。この場合、チップセットからのリード命令（ RD_m ）によって、現在データの読み出しを行っているメモリデバイス（例えば、チップセットから最も遠い位置にあるメモリデバイス）に対しバースト・ストップをかけることにより、当該メモリデバイス内部のデータ出力イネーブル信号／ $DQEIm'$ を不活性化する（図10の（e）部）。また一方で、リード・インタラプト動作（ RD_1' ）により選択されたメモリデバイス（例えば、チップセットから最も近い位置にあるメモリデバイス）に対しバースト・スタートをかけることにより、当該メモリデバイス内部のデータ出力イネーブル信号／ $DQEIm'$ （ただし、 $m=1$ ）を活性化する（図11の（i）部）。

【0074】その他の条件、およびバスシステムの動作は、前述の図6および図7の場合と実質的に同じなので、ここでは、その詳細な説明を省略する。図10および図11に示すようなリード・インタラプト動作による他のメモリデバイスのデータの読み出しを行う場合でも、前述の図6～図9のギャップレス・リード動作による異なるメモリデバイス間のデータの読み出しを行う場合と同様に、チップセットからは、どのメモリデバイスにリード・インタラプト動作をかけた場合でも、リード命令発行から一定時間（ここでは、アクセス時間 $t_{CAC} = 21 \text{ ns}$ ）でファーストデータを受け取ることができる。それゆえに、このファーストデータをチップセットにて受け取った後は、高速にてかつ途切れなくデータを

受け取ることが可能になる。

【0075】ここで、本発明の実施例を用いてデータの読み出しを行った場合のデータ転送の様子と、従来の方針を使用してデータの読み出しを行った場合のデータ転送の様子との違いをより明確にするために、従来の第2例のDQストローブ方式および従来の第3例のリターンクロック方式による各々の信号波形を図12～図15に図示することとする。

【0076】図12および図13は、従来のDQストローブ方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャートのその1およびその2である。ここでは、あるメモリデバイスまたはメモリモジュールのデータの読み出しを行った後に、他のメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合、すなわち、インタリーブ動作を実行しようとした場合の各々の波形が示されている。ただし、この場合、クロックレートやデータ転送速度等の条件は、前述の実施例の場合と同じであると仮定する。

【0077】従来のDQストローブ方式によるバスシステムでは、図20を参照しながら既述したように、システムバス長Lによる信号遅延時間 t_d が生ずるために、メモリデバイスの位置により同メモリデバイスがデータ読み出し用のリード命令を受け取る時間や、メモリデバイスから出力されるDQストローブ信号DQS1～DQS_mに同期してメモリデバイスから出力されるデータをチップセットが受け取る時間がまちまちになる(図12の(a)部～図13の(h)部)。

【0078】それゆえに、チップセットからのリード命令(RDm)に従って所定のメモリデバイス(例えば、チップセットから最も遠い位置にあるメモリデバイス)のデータの読み出しを行ってから、他のメモリデバイス(例えば、チップセットから最も近い位置にあるメモリデバイス)に対しギャップレス・リード命令(RD1')がかかるときには(DQストローブ信号が“H”レベルまたはハイインピーダンス状態(Hi-z)のときに)、当該メモリデバイスのチップセットからの距離がかなり異なるために、両メモリデバイスに対するアクセス時間tCACが異なってくる。この結果、図13の(k)部および(l)部に示すように、インタリーブ動作を実行しようとしても、チップセットからの距離が異なるメモリデバイス間での調停がスムーズに行えなくなる。この結果、同図のハッキング部分のようなバス衝突が発生し、高速にてデータを転送することが困難になる。なお、チップセットから最も近い位置にあるメモリデバイスのデータの読み出しを行った後に、同じ位置のメモリデバイスのデータの読み出しを連続して行う場合は、アクセス時間tCACの違いは生じないので、リード命令発行から一定時間遅延した後に、連続してデータを転送することができる(図13の(i)部および

(j)部)。

【0079】図14および図15は、従来のリターンクロック方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャートのその1およびその2である。ここでも、あるメモリデバイスまたはメモリモジュールのデータの読み出しを行った後に、他のメモリデバイスまたはメモリモジュールのデータの読み出しを連続して行う場合、すなわち、インタリーブ動作を実行しようとした場合の各々の波形が示されている。ただし、この場合、クロックレートやデータ転送速度等の条件は、前述の実施例の場合と同じであると仮定する。

【0080】従来のリターンクロック方式によるバスシステムでは、図21を参照しながら既述したように、システムバス長Lによる信号遅延時間 t_d がデータ転送時間の半分以上になると、チップセットから最も近い位置にあるメモリモジュールのデータと、最も遠い位置にあるメモリモジュールのデータとのアクセス時間に差が生じてくる(図14の(a)部～(f)部)。

【0081】それゆえに、あるメモリデバイス(例えば、チップセットから最も遠い位置にあるメモリデバイス)のデータの読み出しを行ってから、他のメモリデバイス(例えば、チップセットから最も近い位置にあるメモリデバイス)に対しギャップレス・リード命令がかかったときに、当該メモリデバイスのチップセットからの距離がかなり異なるために、両メモリデバイスに対するアクセス時間tCACが異なってくる。この結果、図15の(g)部、(h)部および(j)部に示すように、インタリーブ動作を実行しようとしても、チップセットからの距離が異なるメモリデバイス間での調停がスムーズに行えなくなる。この結果、同図のハッキング部分のようなバス衝突が発生し、高速にてデータを転送することが困難になる。なお、チップセットから最も近い位置にあるメモリデバイスのデータの読み出しを行った後に、同じ位置のメモリデバイスのデータの読み出しを連続して行う場合は、アクセス時間tCACの違いは生じないので、リード命令発行から一定時間遅延した後に、連続してデータを転送することができる(図15の(i)部)。

【0082】図16は、本発明の他の実施例に係るバスシステムの構成を示すブロック図であり、図17は、本発明の他の実施例に使用されるメモリデバイスの一例を示すブロック図であり、図18は、本発明の他の実施例に使用されるメモリモジュール用バッファ装置の一例を示すブロック図である。図16においては、図2～図5に示した本発明の一実施例の場合と異なり、チップセット40から最も遠い位置(すなわち、第mのメモリデバイスまたはメモリモジュールが配置される位置)に、複数のメモリデバイスまたはメモリモジュール制御用のコントローラ6からなるコントローラチップを設けてい

る。複数のメモリデバイスを制御の対象にする場合、上記コントローラ6により、リターンクロックRCLKmおよびデータ出力イネーブル信号/DQE_mが生成される。あるいは、複数のメモリモジュールを制御の対象にする場合、上記コントローラ6により、リターンクロックRCLKmおよびデータ出力イネーブル信号/DQE_{Mm}が生成される。この場合、コントローラ6からなるコントローラチップに対しリターンクロックおよびデータ出力イネーブル信号を生成する機能をもたせているので、制御の対象がメモリデバイスおよびメモリモジュールのいずれであっても、上記のリターンクロックおよびデータ出力イネーブル信号をどのメモリデバイスまたはメモリモジュールから送出するかを決定するためのイネーブル端子ENは不要になる。さらに、図16においては、システムバス7のバスラインは、データ入力時に、CPU等のチップセット(チップセット#0)40から、-1番目のメモリデバイスまたはメモリモジュール～第m-1のメモリデバイスまたはメモリモジュール3-1r、3-1、3-2、……、3-m-1(複数のメモリデバイスまたはメモリモジュール3-1r～3-m-1)へ向かうメインクロックMCLKを転送するためのMCLKラインと、データ出力時に、複数のメモリモジュール3-1r～3-m-1からチップセット40へ向かうリターンクロックRCLKを転送するためのRCLKラインとを含む。

【0083】図16におけるコントローラ6以外の構成は、前述の図2の構成と実質的に同じなので、ここでは、その詳細な説明を省略する。また一方で、図16においては、各々のメモリデバイスまたはメモリモジュールは、コントローラ6により生成されるリターンクロックRCLKmおよびデータ出力イネーブル信号/DQE_mまたは/DQEM_mを入力として受け取り、リターンクロックRCLKを生成すると共に、このリターンクロックRCLKに基づき各々のメモリデバイスの出力回路部を活性化するデータ出力イネーブル信号/DQEまたは/DQEMを生成する。このデータ出力イネーブル信号/DQEまたは/DQEMは、リターンクロックRCLKに同期し、このリターンクロックRCLKと同一方向に流れる。すなわち、データ出力イネーブル信号/DQEまたは/DQEMは、チップセット40に向って流れる。

【0084】本発明の他の実施例にて使用される複数のメモリデバイスの各々は、好ましくは、図17に示すようなメモリデバイス31により構成される。このメモリデバイス31は、本発明のリターンクロック入出力手段(図1参照)として、チップセット40から出力されるメインクロックMCLKをもとに生成されるリターンクロックRCLKを入力するリターンクロック入力回路(図17では、第kのリターンクロック入力回路として示す)11-kを設けている。さらに、本発明の出力活

性化手段(図1参照)として、上記リターンクロックRCLKをもとに生成されるデータ出力イネーブル信号/DQE(または/DQEL)を受け取り、このデータ出力イネーブル信号/DQEに基づきデータの出力を活性化する出力活性化回路(図17では、第kの出力活性化回路として示す)21-kを設けている。これらのリターンクロック入出力回路11-kおよび出力活性化回路21-kを有するメモリデバイス31の構成は、図3のメモリデバイス30の構成と基本的に同じであるが、前述のようにイネーブル端子ENが不要になっている点と、リターンクロック入力回路等の入力回路部だけで出力回路部が不要になっている点とが異なる。

【0085】また一方で、本発明の他の実施例にて使用される複数のメモリモジュールの各々は、好ましくは、図18に示すようなメモリモジュール用バッファ装置(図18の斜線部)を有するメモリモジュール36により構成される。このメモリモジュール36は、複数のメモリデバイス31-1～31-mと、これらの複数のメモリデバイスとチップセット40との間で、データに関するデータ入出力信号DQやその他の信号を入出力するためのメモリモジュール用バッファ装置として機能するメモリモジュール用バッファ回路50とを備えている。

【0086】このようなメモリモジュール36の構成は、図4のメモリモジュール35の構成と基本的に同じであるが、前述のようにイネーブル端子ENが不要になっている点が異なる。本発明の他の実施例では、リターンクロックRCLKの発生源を示すイネーブル端子ENを設ける必要がなくなるので、前述の本発明の一実施例に比べて回路構成が簡単になる。

【0087】

【発明の効果】以上説明したように、本発明のデータ転送メモリ装置によれば、第1に、所定の位置にあるメモリデバイスまたはメモリモジュールおよびコントローラからリターンクロックを生成すると共に、このリターンクロックに基づきデータ出力イネーブル信号を生成しているので、データ出力イネーブル信号は、リターンクロックと同一方向に流れる。このために、システムバス長がどのように長くなつても、かつ、データ転送時間が信号遅延時間の半分以下になる程高速であつても、システムバス上の任意のメモリデバイスまたはメモリモジュールから、CPU等に対し同一アクセス時間でデータを転送することができると共に、各種のデータを高速にてかつ途切れなく転送することができる。

【0088】さらに、本発明のデータ転送メモリ装置によれば、第2に、CPU等から最も遠い位置にあるメモリデバイスまたはメモリモジュールからリターンクロックを生成すると共に、このリターンクロックに基づきデータ出力イネーブル信号を生成しているので、システムバス長による信号遅延時間変動が生じなくなり、シス

ム全体の効率を高めることができる。

【0089】さらに、本発明のデータ転送メモリ装置によれば、第3に、CPU等から最も遠い位置にあるメモリデバイスまたはメモリモジュール以外のメモリデバイスまたはメモリモジュールは、前者のメモリデバイスまたはメモリモジュールから供給されるデータ出力インターフェースによってデータの出力を活性化すると共に、当該リターンクロックに同期してデータを出力するようにしているので、システムバス上の任意のメモリデバイスまたはメモリモジュールから、CPU等に対し同一アクセス時間でデータを転送することが可能になる。

【0090】さらに、本発明のデータ転送装置によれば、第4に、リターンクロックおよびデータ出力インターフェース信号を任意の位相に設定することができるので、システムバス長による信号遅延が生じないようにすることが可能になる。さらに、本発明のデータ転送装置によれば、第5に、各々のメモリデバイスまたはメモリモジュールの入力回路部が、データ出力インターフェース信号によって所定の時間のみ活性化されるようになっているので、システム全体の消費電力の節減が図れる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

【図2】本発明の一実施例に係るバスシステムの構成を示すブロック図である。

【図3】本発明の一実施例に使用されるメモリデバイスの一例を示す図である。

【図4】本発明の一実施例に使用されるメモリモジュール用バッファ装置の一例を示すブロック図である。

【図5】図4のメモリモジュールに使用されるメモリデバイスの一例を示すブロック図である。

【図6】本発明の一実施例において、第1の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その1）である。

【図7】本発明の一実施例において、第1の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その2）である。

【図8】本発明の一実施例において、第2の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その1）である。

【図9】本発明の一実施例において、第2の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その2）である。

【図10】本発明の一実施例において、第3の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形

を示すタイミングチャート（その1）である。

【図11】本発明の一実施例において、第3の条件により異なるメモリデバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その2）である。

【図12】従来のDQストローブ方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その1）である。

【図13】従来のDQストローブ方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その2）である。

【図14】従来のリターンクロック方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その1）である。

【図15】従来のリターンクロック方式において異なるメモリデバイス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート（その2）である。

【図16】本発明の他の実施例に係るバスシステムの構成を示すブロック図である。

【図17】本発明の他の実施例に使用されるメモリデバイスの一例を示すブロック図である。

【図18】本発明の他の実施例に使用されるメモリモジュール用バッファ装置の一例を示すブロック図である。

【図19】従来の第1例に係るバスシステムの構成を示すブロック図である。

【図20】従来の第2例に係るバスシステムの構成を示すブロック図である。

【図21】従来の第3例に係るバスシステムの構成を示すブロック図である。

【符号の説明】

1-1～1-m…第1～第mのリターンクロック入出力手段

2-1～2-m…第1～第mの出力活性化手段

3-1 r～3-m…1番目～第mのメモリデバイスまたはメモリモジュール

4…データ処理部

5…メモリモジュール用バッファ回路

6…コントローラ

7…システムバス

10-k…第kのリターンクロック入出力回路

10' -k…第kのリターンクロック入力回路

11-k…第kのリターンクロック入力回路

20-k, 20' -k…第kの出力活性化回路

21-k…第kの出力活性化回路

30, 30' …メモリデバイス

30-1～30-m, 30' -1～30' -m…第1～

第mのメモリデバイス

3 1…メモリデバイス

3 1-1～3 1-m…第1～第mのメモリデバイス

3 5…メモリモジュール

3 6…メモリモジュール

4 0…チップセット

4 2…基準電圧発生回路

5 0…メモリモジュール用バッファ回路

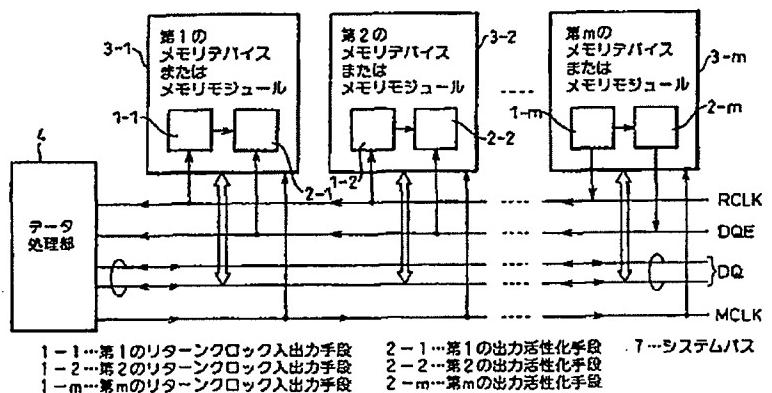
1 2 0-1～1 2 0-m…第1～第mのメモリモジュー
ル

5 0 0…D L L

5 1 0…バッファアンプ

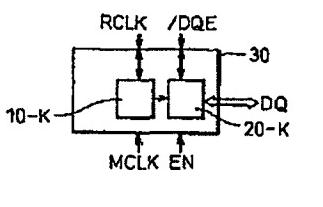
【図1】

本発明の原理構成を示すブロック図



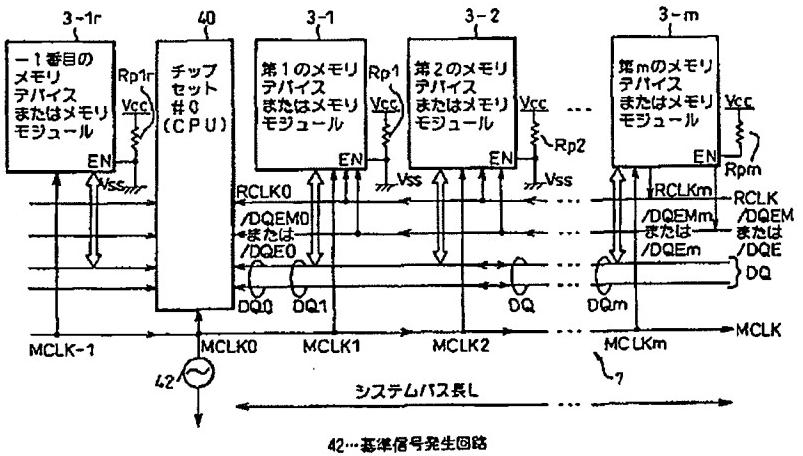
【図3】

本発明の一実施例に使用されるメモリデバイスの一例を示すブロック図



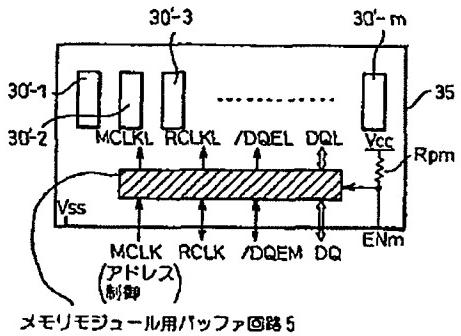
【図2】

本発明の一実施例に係るバスシステムの構成を示すブロック図



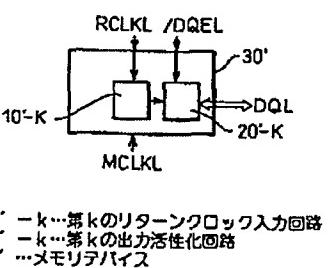
【図4】

本発明の一実施例に使用されるメモリモジュール用バッファ装置の
一例を示すブロック図



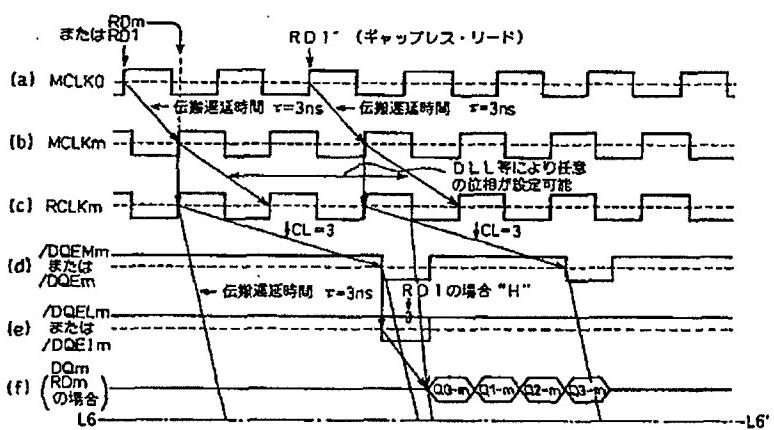
【図5】

図4のメモリモジュールに使用されるメモリテバイスの一例を示すブロック図



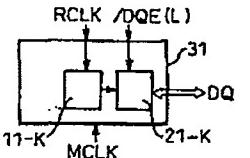
【図6】

本発明の一実施例において、第1の条件により異なるメモリテバイス間または
メモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形
を示すタイミングチャート(その1)

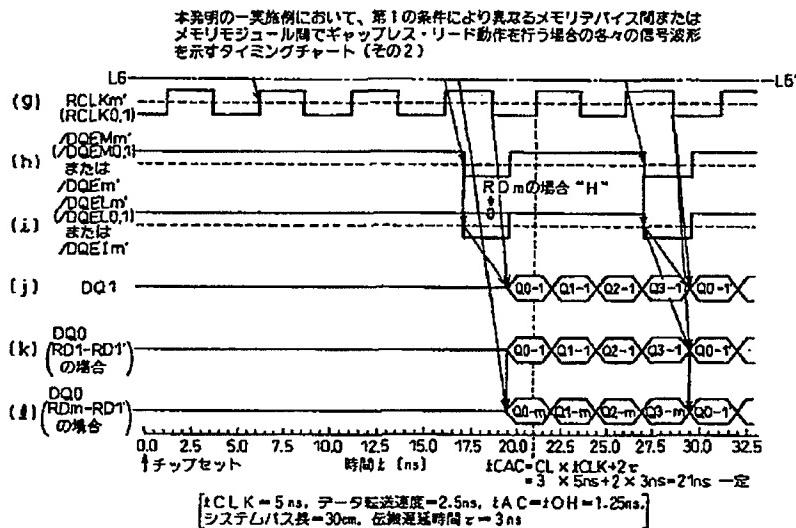


【図17】

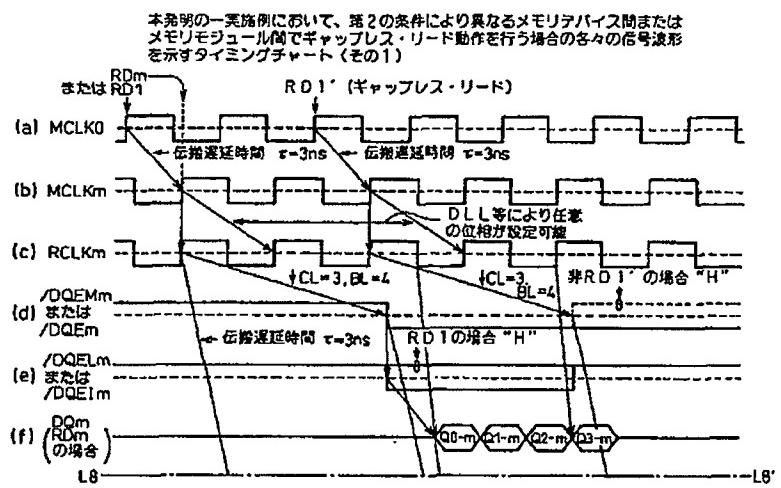
本発明の他の実施例に使用されるメモリテバイスの一例を示すブロック図



【図7】

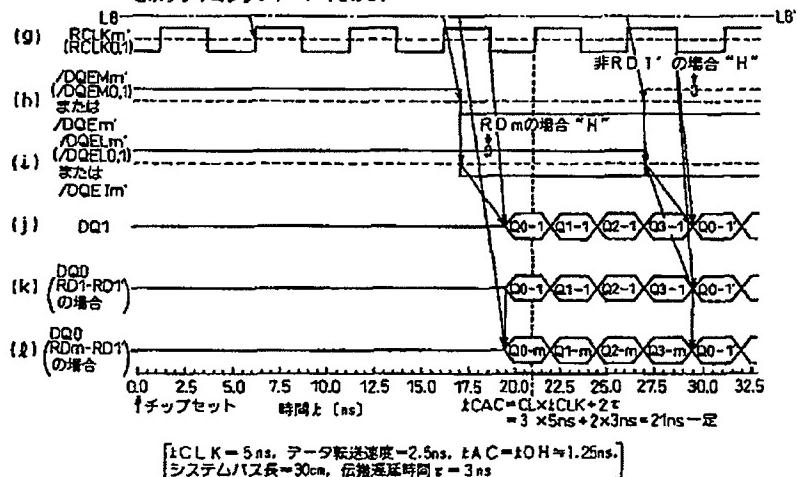


【図8】



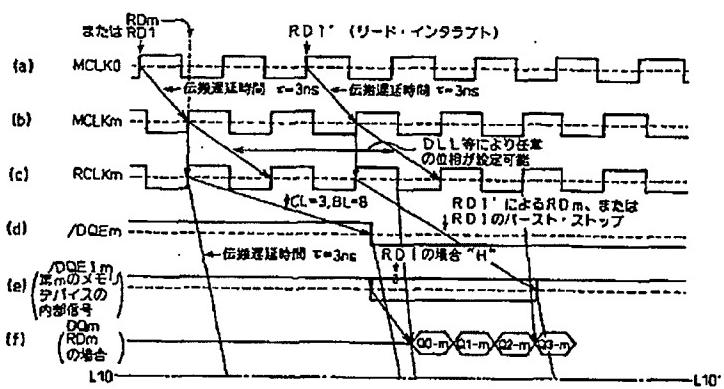
〔四九〕

本発明の一実施例において、第2の条件により異なるメモリテバイス間またはメモリモジュール間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート(その2)

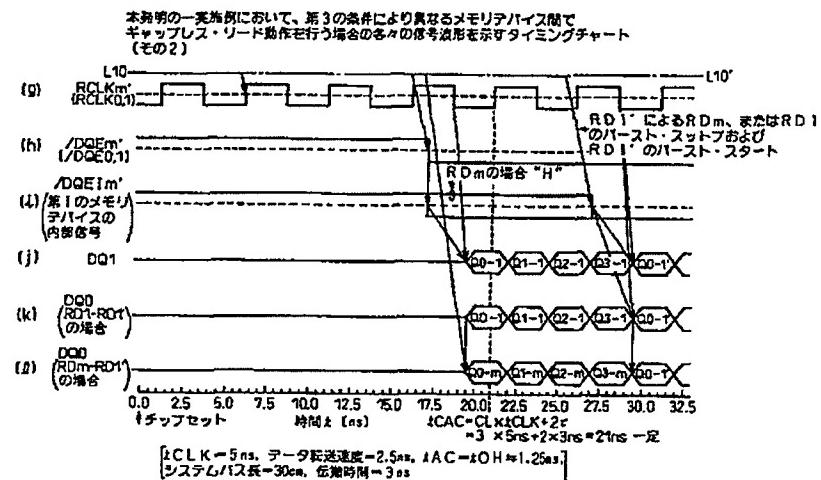


[10]

本発明の一実施例において、図3の条件により異なるメモリテパイプ間で
ギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート
(その1)

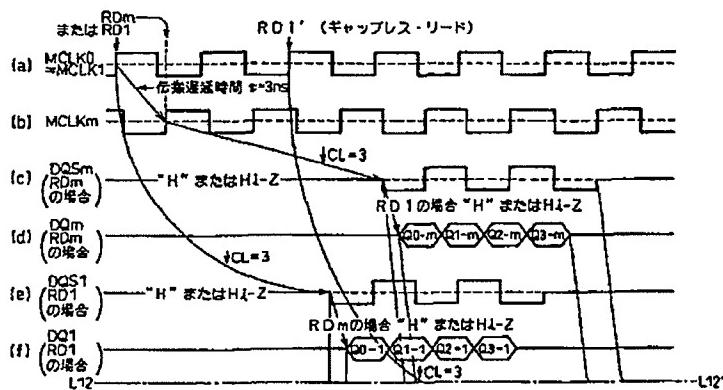


【図11】



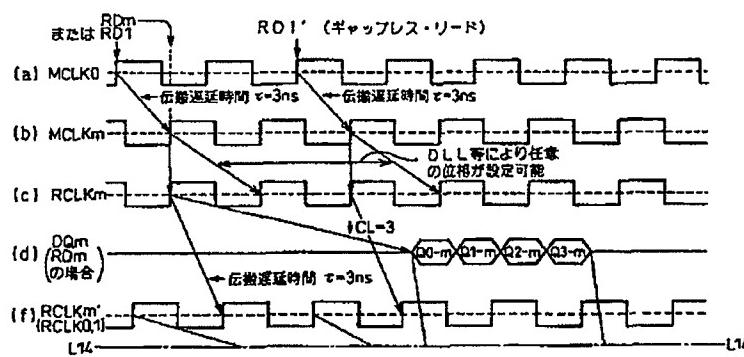
【図12】

従来のDQストローブ方式において異なるメモリバス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート(その1)

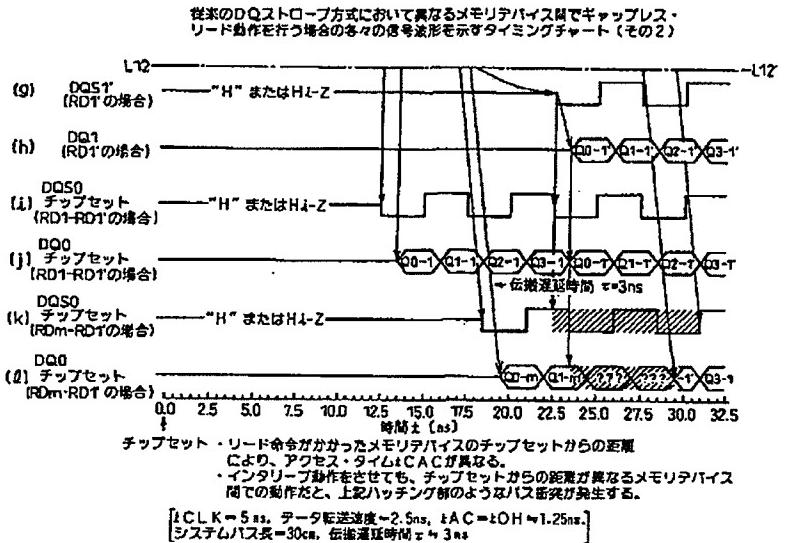


【図14】

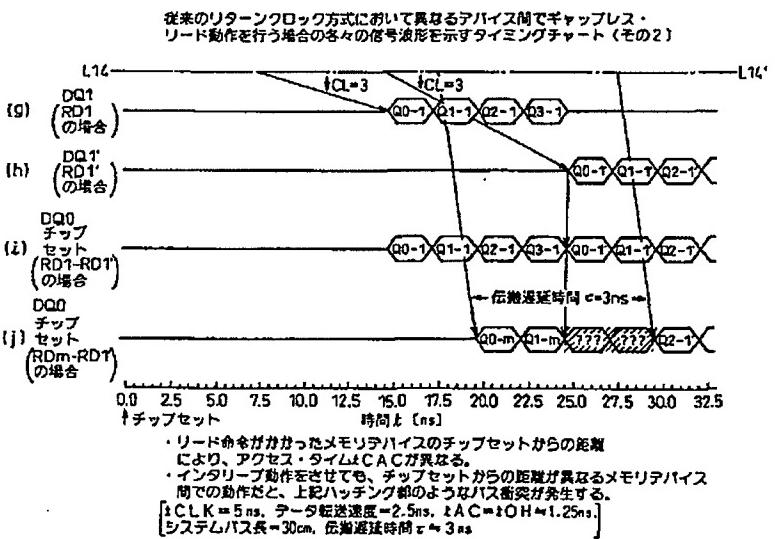
従来のリターンクロック方式において異なるメモリバス間でギャップレス・リード動作を行う場合の各々の信号波形を示すタイミングチャート(その1)



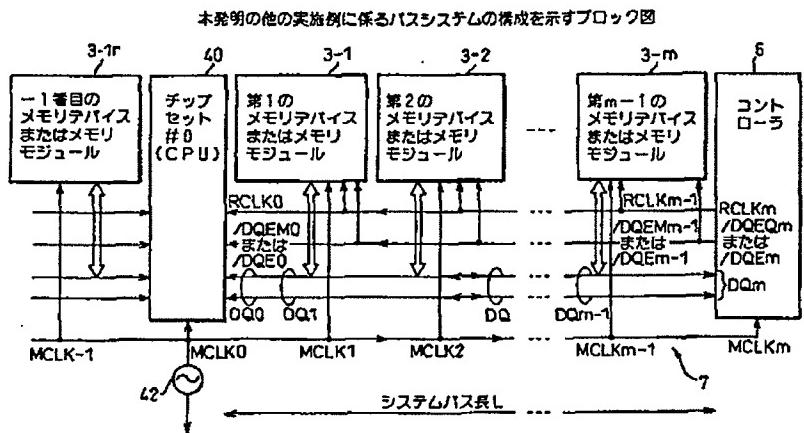
【図13】



【図15】

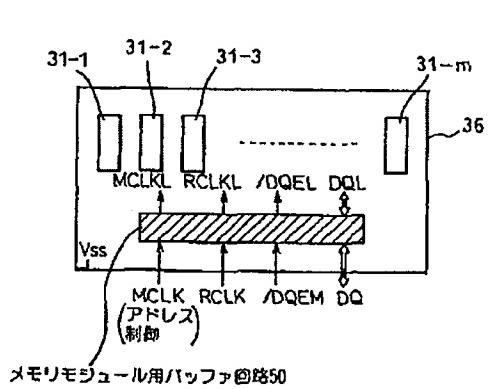


【図16】



【図18】

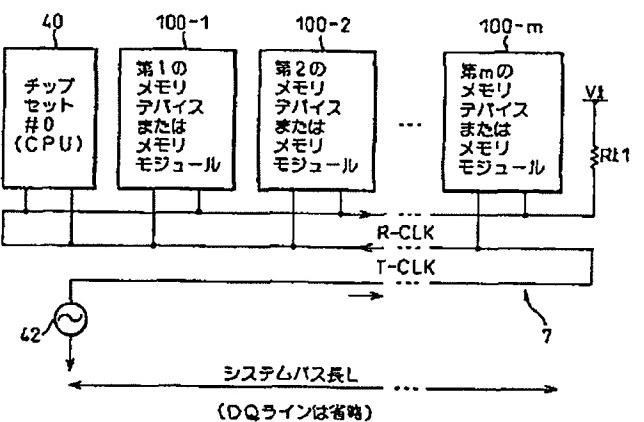
本発明の他の実施例に使用されるメモリモジュール用バッファ装置の一例を示すブロック図



31-1…第1のメモリテバイス
31-2…第2のメモリテバイス
31-3…第3のメモリテバイス
31-m…第mのメモリテバイス
36…メモリモジュール

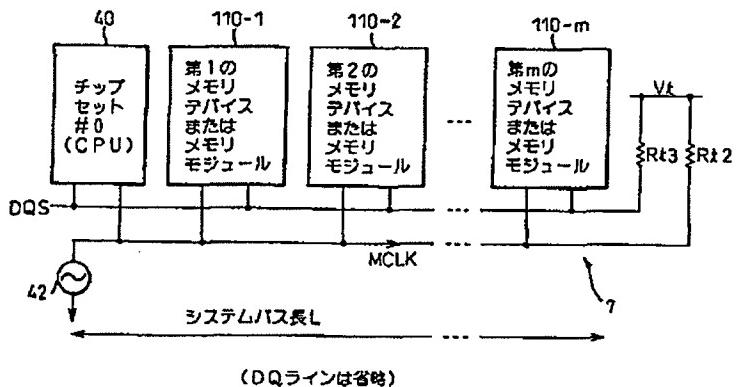
【図19】

従来の第1例に係るバスシステムの構成を示すブロック図



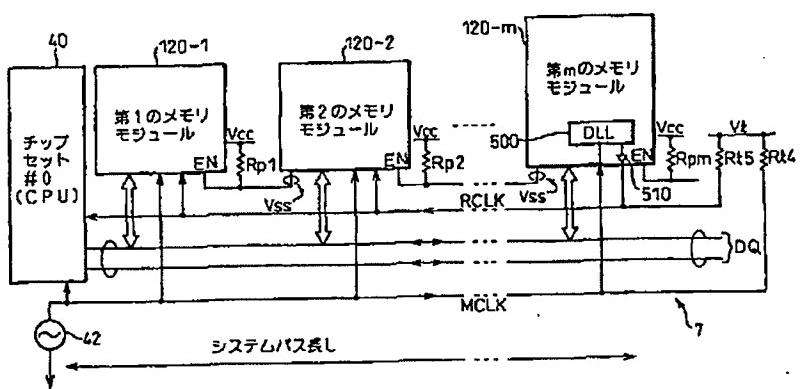
【図20】

従来の第2例に係るバスシステムの構成を示すブロック図



【図21】

従来の第3例に係るバスシステムの構成を示すブロック図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年12月9日(2004.12.9)

【公開番号】特開平11-149437

【公開日】平成11年6月2日(1999.6.2)

【出願番号】特願平9-313927

【国際特許分類第7版】

G 06 F 13/16

// G 06 F 13/42

【F I】

G 06 F 13/16 520B

G 06 F 13/42 340A

【手続補正書】

【提出日】平成15年12月19日(2003.12.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一つのシステムバス上でデータを転送する機能を有し、かつ、前記データを処理するデータ処理部により制御される複数のメモリデバイスを含むデータ転送メモリ装置において、該複数のメモリデバイスの各々は、

前記データ処理部から出力されるクロックとともに生成されるリターンクロックを入出力するリターンクロック入出力手段と、

該リターンクロック入出力手段から出力されるリターンクロックをもとに生成されるデータ出力イネーブル信号に基づき、前記データの出力を活性化する出力活性化手段とを備え

前記システムバス上で前記データ処理部から最も遠い位置にあるメモリデバイスのみが、前記リターンクロックおよび前記データ出力イネーブル信号を生成するように構成されることを特徴とするデータ転送メモリ装置。

【請求項2】

前記所定の位置にあるメモリデバイス以外の前記メモリデバイスが、前記データ処理部により出力選択された場合、前記所定の位置にあるメモリデバイスにて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データの出力を活性化すると共に、当該リターンクロックに同期して該データを出力することが可能である請求項1記載のデータ転送メモリ装置。

【請求項3】

前記所定の位置にあるメモリデバイスが、前記データ処理部により出力選択された場合、該所定の位置にあるメモリデバイスにて生成される前記データ出力イネーブル信号によつて前記データの出力を活性化すると共に、該所定の位置にあるメモリデバイスにて生成される前記リターンクロックに同期して該データを出力する請求項1記載のデータ転送メモリ装置。

【請求項4】

前記リターンクロックおよび前記データ出力イネーブル信号が、任意の位相に設定される請求項1から3のいずれか一項に記載のデータ転送メモリ装置。

【請求項5】

前記データ処理部の入力回路部と、各々の前記メモリデバイス内の前記出力活性化手段の入力回路部とが、前記データ出力イネーブル信号によって所定の時間のみ活性化される請求項1から4のいずれか一項に記載のデータ転送メモリ装置。

【請求項6】

前記リターンクロックおよび前記データ出力イネーブル信号を出力するコントローラチップを、前記システムバス上に設ける請求項1から5のいずれか一項に記載のデータ転送メモリ装置。

【請求項7】

一つのシステムバス上でデータを転送する機能を有し、かつ、前記データを処理するデータ処理部により制御される複数のメモリモジュールを含むデータ転送メモリ装置において

該複数のメモリモジュールの各々は、複数のメモリデバイスと、該複数のメモリデバイスと前記データ処理部との間で前記データおよび各種の信号を入出力するためのメモリモジュール用バッファ装置とを備えており、

各々の前記メモリモジュール内の該メモリモジュール用バッファ装置は、

前記データ処理部から出力されるクロックをもとに生成されるリターンクロックを入出力するリターンクロック入出力手段と、

該リターンクロック入出力手段から出力されるリターンクロックをもとに生成されるデータ出力イネーブル信号に基づき、前記複数のメモリデバイスからの前記データの出力を活性化する出力活性化手段とを備えることを特徴とするデータ転送メモリ装置。

【請求項8】

前記システムバス上の所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置のみが、前記リターンクロックおよび前記データ出力イネーブル信号を生成する請求項7記載のデータ転送メモリ装置。

【請求項9】

前記所定の位置にあるメモリモジュールが、前記システムバス上で前記データ処理部から最も遠い位置にあるメモリモジュールである請求項8記載のデータ転送メモリ装置。

【請求項10】

前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置以外の前記メモリモジュール用バッファ装置が、前記データ処理部4により出力選択された場合、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、前記の出力選択されたメモリモジュール内の前記メモリデバイスに供給する請求項8記載のデータ転送メモリ装置。

【請求項11】

前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置以外の前記メモリモジュール用バッファ装置が、前記データ処理部4により出力選択された場合、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、前記の出力選択されたメモリモジュール内の前記メモリデバイスに供給し、

前記の出力選択されたメモリモジュール内の前記メモリデバイスは、当該メモリモジュール用バッファ装置から供給される当該データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データの出力を活性化すると共に、当該リターンクロックに同期して、対応するメモリモジュール用バッファ装置に該データを送出する請求項8記載のデータ転送メモリ装置。

【請求項12】

前記所定の位置にあるメモリモジュールに搭載されている前記メモリデバイスが、前記データ処理部4により出力選択された場合、該所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置にて生成される前記リターンクロックおよび前記データ出力イネーブル信号を入力として受け取り、当該データ出力イネーブル信号によって前記データ

タの出力を活性化すると共に、当該リターンクロックに同期して、前記所定の位置にあるメモリモジュール内のメモリモジュール用バッファ装置に該データを送出することが可能である請求項8記載のデータ転送メモリ装置。

【請求項13】

前記リターンクロックおよび前記データ出力イネーブル信号が、任意の位相に設定される請求項7から12のいずれか一項に記載のデータ転送メモリ装置。

【請求項14】

前記データ処理部の入力回路部と、各々の前記メモリモジュール用バッファ装置の入力回路部とが、前記データ出力イネーブル信号によって所定の時間のみ活性化される請求項7から13のいずれか一項に記載のデータ転送メモリ装置。

【請求項15】

前記リターンクロックおよび前記データ出力イネーブル信号を出力するコントローラチップを、前記システムバス上に設ける請求項7から14のいずれか一項に記載のデータ転送メモリ装置。